

PAT-NO: JP411025030A

DOCUMENT-IDENTIFIER: JP 11025030 A

TITLE: BUS EXTENSION CONTROL CIRCUIT

PUBN-DATE: January 29, 1999

INVENTOR-INFORMATION:

NAME

NAKASE, AKIHISA

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRIC IND CO LTD

N/A

APPL-NO: JP09178661

APPL-DATE: July 3, 1997

INT-CL (IPC): G06F013/16, G06F013/36 , G06F013/42

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a bus extension control circuit capable of adjusting non- overlap time between extended address switching timing for bus extension and read/write permission signal termination timing.

SOLUTION: This control circuit is provided with an extended address output latch 7, delay circuits D1 to Di, a selection circuit 2 to be a delay setting means for the circuits D1 to Di, and a read/write permission signal output control circuit 6. In this case, an output termination timing signal 4 is directly inputted to the circuit 6 and a signal selected by the circuit 2 out of signals delayed by the circuits D1 to Di is inputted to the latch 7 as an adjusting timing determination signal 5. A delay signal selected by the circuit 2 is set up by a selection signal 3 and non-overlap time between extended address switching timing for bus extension and a read/write permission signal termination timing is set up.

COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-25030

(43)公開日 平成11年(1999)1月29日

(51)Int.Cl. ⁶	識別記号	FI	
G 0 6 F 13/16	5 1 0	G 0 6 F 13/16	5 1 0 G
13/36	3 2 0	13/36	3 2 0 Z
13/42	3 5 0	13/42	3 5 0 C

審査請求 未請求 請求項の数1 OL (全4頁)

(21)出願番号 特願平9-178661

(22)出願日 平成9年(1997)7月3日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 中瀬 晶久

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

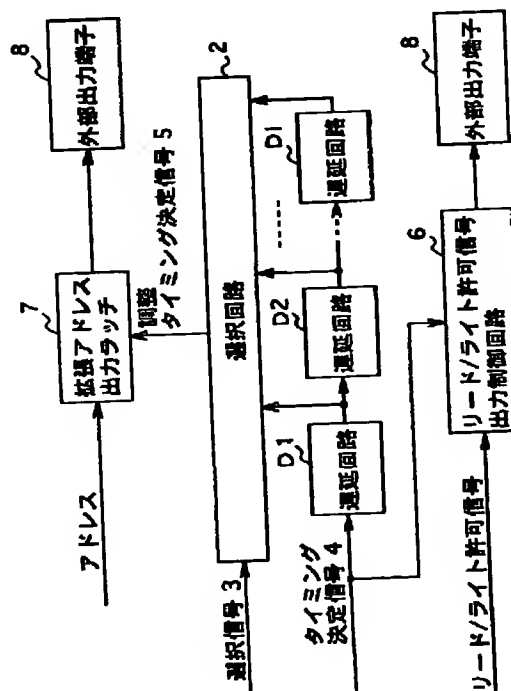
(74)代理人 弁理士 池内 寛幸 (外1名)

(54)【発明の名称】 バス拡張制御回路

(57)【要約】

【課題】 バス拡張時の拡張アドレス切り替えタイミングとリード・ライト許可信号終了タイミングとのノンオーバーラップ時間を調整することができるバス拡張制御回路を提供する。

【解決手段】 拡張アドレス出力ラッチ7と、遅延回路D1～Diと前記遅延回路の遅延量設定手段である選択回路2と、リード・ライト許可信号出力制御回路6とを備えた回路において、リード・ライト許可信号出力制御回路6には出力終了タイミング信号4を直接入力し、拡張アドレス出力ラッチ7へは遅延回路D1～Diにより遅延された信号のうち選択回路2により選択されたものを調整タイミング決定信号5として入力する。選択信号3により選択回路2が選択する遅延信号を設定し、バス拡張時の拡張アドレス切り替えタイミングとリード・ライト許可信号終了タイミングのノンオーバーラップ時間を設定する。



【特許請求の範囲】

【請求項1】 拡張アドレス出力ラッチと、遅延回路と、前記遅延回路の遅延量を設定する手段を有するタイミング調整回路とを備え、前記拡張アドレス出力ラッチのラッチ期間終了のタイミング信号を前記遅延回路により遅延させて前記拡張アドレス出力ラッチに入力することにより前記拡張アドレス出力のラッチ期間を調整できることを特徴としたバス拡張制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置における拡張バスのアドレス切り替えのタイミングとリード・ライト許可信号のタイミングを調整するバス拡張制御回路に関する。

【0002】

【従来の技術】図3は従来の半導体装置における拡張バス信号のタイミング変更時のタイミングチャートである。上から順に、タイミングを変更しない場合の拡張アドレスの出力、タイミングを変更した場合の拡張アドレスの出力、タイミングを変更しない場合のリード・ライト許可信号、タイミングを変更した場合のリード・ライト許可信号である。まず、拡張バス信号のタイミングを変更しない場合を説明する。拡張アドレスは20aの拡張アドレス切り替えタイミングから20bの次の拡張アドレスの切り替えタイミングまで出力される。リード・ライト許可信号は21aの開始タイミングから21bの終了タイミングまでアクティブ状態にある。ここで21bから20bまでは拡張バス信号が正常にリード・ライトされるために確保されなければならないノンオーバーラップ期間である。次に拡張バス信号のタイミングを変更する場合を説明する。拡張アドレスは20aの拡張アドレス切り替えタイミングから20cの次の拡張アドレスの切り替えタイミングまで出力される。リード・ライト許可信号は21aの開始タイミングから21cの終了タイミングまでアクティブ状態にある。ここで同様に21cから20cまでは拡張バス信号が正常にリード・ライトされるために確保されなければならないノンオーバーラップ期間である。

【0003】このように従来の半導体装置における拡張バス信号のタイミング調整では、搭載するメモリの応答速度の関係などから拡張バス信号の処理タイミングを変更する必要がある場合には基本動作クロックの整数倍分のウェイトを挿入して、拡張アドレス切り替えタイミングを20bから20cへ延長し、リード・ライト許可信号も終了タイミングを21bから21cへ延長する方法であった。

【0004】

【発明が解決しようとする課題】従来の方法では上記したように、拡張バス信号の処理タイミングを変更する必要がある場合には基本動作クロックの整数倍分のウェイト

トを挿入して拡張アドレス切り替えタイミングおよびリード・ライト許可信号終了タイミングを延長するため、ノンオーバーラップ期間自体は変更することはできなかった。このため、拡張バスに接続されている信号線の状態によってリード・ライト許可信号線の負荷容量が大きく、リード・ライト許可信号の終了タイミングが遅れた場合に、拡張アドレスの切り替えタイミングに比べリード・ライト許可信号の終了タイミングが遅れることとなり、十分なノンオーバーラップ期間の確保ができず、誤書き込み・誤読み込みが発生するという問題があった。

【0005】

【課題を解決するための手段】上記課題を解決するために本発明のバス拡張制御回路は、拡張アドレス出力ラッチと、遅延回路と、前記遅延回路の遅延量を設定する手段を有するタイミング調整回路とを備え、前記拡張アドレス出力ラッチのラッチ期間終了のタイミング信号を遅延回路により遅延させて拡張アドレス出力ラッチに入力することにより拡張アドレス出力のラッチ期間を調整できることを特徴とする。

【0006】かかる構成により、半導体回路の設計段階で、利用されるメモリの応答速度、リード・ライト許可信号線の負荷容量の大きさに応じて、拡張アドレス出力の切り替えタイミングを調整することができ、リード・ライト許可信号の終了タイミングとの間のノンオーバーラップ期間を確実に確保できる。

【0007】

【発明の実施の形態】

(実施の形態1) 以下、本発明のバス拡張制御回路の実施形態1について、図面を参照しながら説明する。図1は本実施形態の外部拡張バスタイミング発生回路の回路図である。同図においてD1～Di(iは任意の整数)は遅延回路であり、D1からDiまで直列につながれている。ここで各遅延器D1～Diは入力信号を1クロック遅延させるものとする。2は遅延回路による遅延量を設定する選択回路であり、入力には前記遅延回路D1～Diおよび選択信号3が接続されており、遅延器D1～Diの入力から1つを選択信号3に基づいて選択し、調整タイミング信号5として出力する。選択信号3はレジスタ値、外部信号等によりシステム設計に応じて決定される。6はリード・ライト許可信号出力制御回路であり、入力されたリード・ライト許可信号を一時保持して外部出力端子に出力し、タイミング信号4に基づいて外部出力端子への出力を終了する。7は拡張アドレス出力ラッチで入力されたアドレスデータを一時保持して外部出力端子に出力し、調整タイミング信号5に基づいて外部出力端子へアドレスデータを切り替える。

【0008】以上のように構成されたバス拡張制御回路の処理の流れを説明する。システム設計に応じてあらかじめレジスタ値、外部信号等により選択信号3を設定する。次に回路のバスサイクルにおいて、アドレスデータ

3

が拡張アドレス出力ラッチ7に入力され、一時的に保持され、外部出力端子の信号線にアドレスデータが出力された状態となる。またリード・ライト許可信号がリード・ライト許可信号出力制御回路6に入力され、一時的に保持され、外部出力端子の信号線にアドレス・ライト許可信号が出力された状態となる。次に拡張アドレス出力ラッチ7、リード・ライト許可信号出力制御回路6の保持データの外部出力端子への出力を終了させるタイミングを与えるタイミング信号4が回路に入力されるが、リード・ライト許可信号出力制御回路6には直接入力され、拡張アドレス出力ラッチ7には直接入力されず、遅延回路D1~Di、選択回路2を介して調整タイミング信号5として入力される。各遅延回路D1~Diからタイミング信号が1クロックずつ遅延されて選択回路2に出力され、選択信号3により選択された遅延出力が調整タイミング信号5として拡張アドレス出力ラッチ7に

入力され、アドレスデータの外部出力端子への出力が終了する。
【0009】以上、本実施形態1にかかるバス拡張制御回路によれば、リード・ライト許可信号出力制御回路6の外部出力端子への出力終了タイミングより、拡張アドレス出力ラッチ7の出力切り替えタイミングの方が選択信号3の設定に基づいて遅延することとなり、ノンオーバーラップ期間を調整できる。

【0010】(実施の形態2) 本発明のバス拡張制御回路の実施形態2について、図2を参照しながら説明する。本実施形態2は遅延回路の部分以外は実施形態1と同じものである。本実施形態2では遅延回路D1~Diが並列接続されている。各遅延回路D1からDiは遅延クロック数が異なっており、ここではD1から順に遅延量が1クロックずつ大きいものが並べられているものとする。バスサイクルにおいて、タイミング信号4が各遅延回路D1~Diおよびリード・ライト許可信号出力制御回路6へ入力され、リード・ライト許可信号出力制御回路6は外部出力端子への出力を終了するが、各遅延回路に

入力されたタイミング信号4は各遅延器の遅延量に応じて遅延され、順次選択回路2に出力される。選択回路2は選択信号3により選択されている遅延回路からの入力を調整タイミング信号5として拡張アドレス出力ラッチ7に出力し、拡張アドレス出力ラッチはアドレス出力を終了し、アドレスが切り替わる。

【0012】

【発明の効果】以上のように本発明にかかるバス拡張制御回路によれば、リード・ライト許可信号出力制御回路の外部出力端子への出力終了タイミングより、拡張アドレス出力ラッチの出力切り替えタイミングの方が選択信号3の設定に基づいて遅延することとなり、ノンオーバーラップ期間を確実に確保できるように調整することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態1にかかるバス拡張制御回路の回路図

【図2】本発明の実施形態2にかかるバス拡張制御回路の回路図

【図3】従来の半導体装置のバス拡張信号のタイミングチャート

【符号の説明】

D1~Di 遅延回路

2 選択回路

3 選択信号

4 タイミング信号

5 調整タイミング信号

6 リード・ライト許可信号出力制御回路

7 アドレス出力ラッチ

20a アドレス切り替えタイミング

20b タイミング変更前の次の拡張アドレス切り替えタイミング

20c タイミング変更後の次の拡張アドレス切り替えタイミング

21a リード・ライト許可開始タイミング

21b タイミング変更前のリード・ライト許可開始タイミング

21c タイミング変更後のリード・ライト許可開始タイミング

4

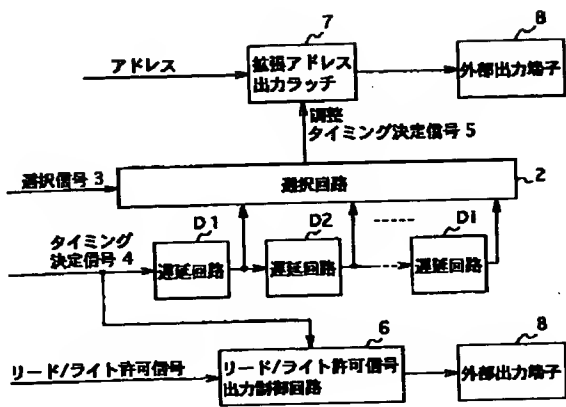
10

20

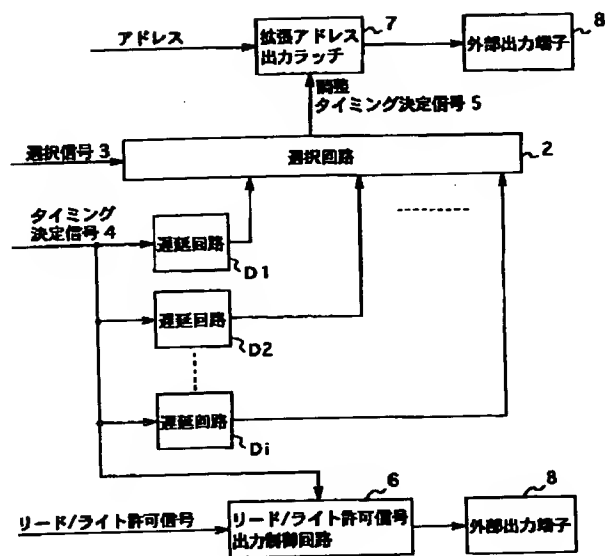
30

40

【図1】



【図2】



【図3】

